

#2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-230829

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.*	識別記号	序内整理番号	FI	技術表示箇所
G09G 3/36			G09G 3/36	
G02F 1/133	545		G02F 1/133	545

審査請求 未請求 請求項の数3 OL (全8頁)

(21) 出願番号 特願平8-37634

(22) 出願日 平成8年(1996)2月26日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 古谷 博司

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 菅野 裕程

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

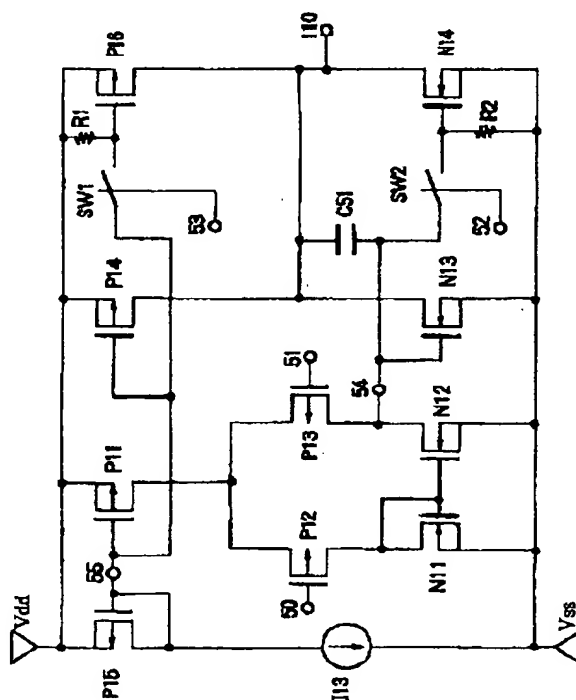
(74) 代理人 弁理士 前田 実

(54) 【発明の名称】 ソースドライバの出力回路

(57) 【要約】

【課題】 高電力利用効率で液晶表示素子を短時間に駆動することができる。

【解決手段】 差動入力端子50、51には表示階調電圧と基準電圧が入力され、出力端子には液晶表示素子の個別電極が接続される。制御端子52、53には液晶表示素子の共通電極に印加される電圧が入力される。NMOSトランジスタN14の電流駆動能力はN13よりも大きく設定され、PMOSトランジスタP16の電流駆動能力はP14よりも大きく設定する。共通電極が個別電極に対して正極性であるときは、アナログスイッチSW2がONしてN14をONさせ、主にN14によって画素電極を放電駆動して表示階調電圧に応じた画素電圧を書き込み、また共通電極が負極性であるときは、アナログスイッチSW1がONしてP16をONさせ、主にP16によって画素電極を充電駆動して画素電圧を書き込む。



本発明によるソースドライバ出力回路

(2)

特開平9-230829

1

## 【特許請求の範囲】

【請求項1】 走査ライン反転駆動されるTFT-LCDの液晶表示素子の個別電極に画素電圧を書き込むソースドライバの出力回路において、表示階調電圧と基準電圧が入力され、これを差動出力する差動入力段と、

ゲートを前記差動入力段の出力に接続し、ソースを接地した第1のN型FETと、

ドレインを第1のN型FETのドレインに接続し、ソースを電源ラインに接続し、常時ONとなるようにゲートを定電圧バイアスした第1のP型FETと、

電流駆動能力が第1のN型FETよりも大きく、ドレインを第1のN型FETのドレインに接続し、ソースを接地した第2のN型FETと、

電流駆動能力が第1のP型FETよりも大きく、ドレインを第1のN型FETのドレインに接続し、ソースを電源ラインに接続した第2のP型FETと、

液晶表示素子の共通電極が個別電極に対して正極性であるとき、第2のN型FETのゲートを前記差動入力段の出力に接続して第2のN型FETをONさせ、それ以外  
40 のとき第2のN型FETをOFFさせ、また共通電極が負極性であるとき、第2のP型FETのゲートを定電圧バイアスして第2のP型FETをONさせ、それ以外  
のとき第2のP型FETをOFFさせることにより、第2のN型FETと第2のP型FETを排他的にONさせる制御手段とを有し、第1および第2のN型FETおよびP型FETの4つのドレインの接続点から画素電圧を出力することを特徴とするソースドライバの出力回路。

【請求項2】 走査ライン反転駆動されるTFT-LCDの液晶表示素子の個別電極に画素電圧を書き込むソースドライバの出力回路において、表示階調電圧と基準電圧が入力され、これを差動出力する差動入力段と、

ゲートを前記差動入力段の出力に接続し、ソースを電源ラインに接続した第1のP型FETと、

ドレインを第1のP型FETのドレインに接続し、ソースを接地し、常時ONとなるようにゲートを定電圧バイアスした第1のN型FETと、

電流駆動能力が第1のP型FETよりも大きく、ドレインを第1のP型FETのドレインに接続し、ソースを電源ラインに接続した第2のP型FETと、

電流駆動能力が第1のN型FETよりも大きく、ドレインを第1のP型FETのドレインに接続し、ソースを接地した第2のN型FETと、

液晶表示素子の共通電極が個別電極に対して負極性であるとき、第2のP型FETのゲートを前記差動入力段の出力に接続して第2のP型FETをONさせ、それ以外  
のとき第2のP型FETをOFFさせ、また共通電極が正極性であるとき、第2のN型FETのゲートを定電圧バイアスして第2のN型FETをONさせ、それ以外  
50

2

とき第2のN型FETをOFFさせることにより、第2のP型FETと第2のN型FETを排他的にONさせる制御手段とを有し、第1および第2のP型FETおよびN型FETの4つのドレインの接続点から画素電圧を出力することを特徴とするソースドライバの出力回路。

【請求項3】 液晶表示素子の共通電極が個別電極に対して負極性である期間の内、所定期間だけ第2のN型FETをONさせ、共通電極が正極性である期間の内、所定期間だけ第2のP型FETをONさせる前記制御手段を有することを特徴とする請求項1または2に記載のソースドライバの出力回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス液晶ディスプレイ（以下、TFT-LCDと言う）の液晶表示素子を駆動するソースドライバの出力回路に関するものである。

【0002】

【従来の技術】この種の分野の従来の技術としては、例えば、「テレビジョン学会誌Vol. 42 No. 1 第23～29頁 コモン反転駆動方法（1988年）」や「特開平5-150736号公報 インピーダンス変換回路」に記載されたものがある。

【0003】TFT-LCDは多数の液晶画素をマトリクス状に配置したものであり、この液晶画素は、スイッチング素子であるTFTと、個別電極（以下、画素電極と言う）および液晶を介してこの画素電極に対向する共通電極（全ての液晶画素に共通の電極であり、以下、コモン電極と言う）を有する液晶表示素子により構成される。同一液晶画素ラインの全てのTFTのゲートは走査信号線によって接続され、同一液晶画素列の全ての液晶表示素子の画素電極はそれぞれのTFTを介してソース信号線に接続される。

【0004】走査回路は上記走査信号線に接続され、マトリクス状に配置されたTFTを液晶画素ラインごとに順次ONさせる（線順次走査駆動と言う）。ソースドライバは、上記ソース信号線に接続され、TFTがONした液晶画素の液晶表示素子を充放電させて画素電極に表示階調電圧に応じた画素電圧を書き込む。

【0005】このとき液晶表示素子の信頼性確保とソースドライバの消費電力低減を目的として、上記線順次走査周期に同期してコモン電極をソースドライバの電源ラインと接地ラインに交互に接続し、コモン電極の画素電極に対する極性を反転させる（走査ライン反転駆動と言う）。

【0006】図4は従来のソースドライバの出力回路の一例を示す回路図である。図4に示す出力回路は、PMOSトランジスタ入力型の差動入力段と、出力段と、バイアス回路を有する。

【0007】差動入力段は、差動対を構成するPMOS

## 3

トランジスタP2およびP3と、P2の能動負荷であるNMOSTランジスタN1と、P3の能動負荷であるNMOSTランジスタN2と、電流源としてのPMOSTランジスタP1により構成され、端子10および11を差動入力端子とする。

【0008】出力段は、ゲートを差動入力段のP3のドレインに接続したNMOSTランジスタN3と、N3の能動負荷となるPMOSTランジスタP4により構成され、端子12を出力端子とする。尚、C1は周波数補償用（発振防止用）の容量である。

【0009】さらにバイアス回路は、定電流源I3とPMOSTランジスタP5により構成され、このP5と上記のP1およびP4はカレントミラー回路を構成する。尚、電源端子Vddは電源端子Vssよりも高電位であり、Vssは通常は接地されている。図5は従来のソースドライバの出力回路の電流特性図を示すものである。

【0010】図5において、出力電流Iは、液晶負荷（液晶表示素子）に供給する電流、すなわち出力端子12から流出する電流を正（+）とし、液晶負荷から引き込む電流、すなわち出力端子12に流入する電流を負（-）とする。また出力電圧Vは平衡時（すなわち出力電流が0のとき）を0電位として表示してある。

【0011】

【発明が解決しようとする課題】しかしながら上記従来のソースドライバ出力回路においては、図5に示すように、正の出力電流が負の出力電流に比べて小さい、すなわちPMOSTランジスタP4による正の電流駆動能力がNMOSTランジスタN3による負の電流駆動能力に比べて小さいので、液晶負荷の充電に時間がかかる。また図4において、NMOSTランジスタをこれと相補的な特性を有するPMOSTランジスタに替え、PMOSTランジスタをこれと相補的な特性を有するNMOSTランジスタに替え、電源VddとVssを入れ替えた場合には、負の電流駆動能力が不足する。

【0012】図5において大きな正の出力電流を得るにはPMOSTランジスタP4の電流供給能力を大きくすればよいが、P4はP4からN3に常時流れる貫通電流を制限する定電流源でもあるので、消費電力の面からこれは好ましくない。

【0013】このように従来のソースドライバ出力回路は、大きな正負の出力電流を同時に得られないという欠点を有する。

【0014】またこの欠点を解決するために、アナログスイッチを正電源Vddとソース信号線の間に設け、TFTがONすると、まずアナログスイッチをONして液晶負荷を充電して画素電極の電位をVddとし（プリチャージと言う）、その後アナログスイッチをOFFし、ソースドライバにより液晶負荷を所望の電位まで放電させることにより、正の電流供給能力を補うことも考えられた（プリチャージ駆動と言う）。

## (3)

特開平9-230829

## 4

【0015】しかしながら、このプリチャージ駆動は、ソースドライバの消費電力は改善されるが、液晶負荷を一旦充電してから放電させるため、電力利用効率が悪くなるという欠点を有する。またソース信号線の配線容量や配線抵抗が大きくなる大画面TFT-LCD、あるいは液晶負荷容量が大きい大容量TFT-LCD等、ソースドライバに接続する負荷インピーダンスが大きいTFT-LCDへの適応を考えた場合、液晶負荷の駆動時間（放電時間）に制約が発生することになり、その結果として高精度な表示出力が得られないという欠点を有する。

【0016】本発明はこのような課題に着目してなされたものであり、高い電力利用効率で液晶表示素子を短時間に駆動することができるソースドライバの出力回路を提供することを目的とするものである。

【0017】

【課題を解決するための手段】上記目的を達成するために本発明の請求項1に記載のソースドライバの出力回路は、走査ライン反転駆動されるTFT-LCDの液晶表示素子の個別電極に画素電圧を書き込むソースドライバの出力回路において、表示階調電圧と基準電圧が入力され、これを差動出力する差動入力段と、ゲートを前記差動入力段の出力に接続し、ソースを接地した第1のN型FETと、ドレインを第1のN型FETのドレインに接続し、ソースを電源ラインに接続し、常時ONとなるようにゲートを定電圧バイアスした第1のP型FETと、電流駆動能力が第1のN型FETよりも大きく、ドレインを第1のN型FETのドレインに接続し、ソースを接地した第2のN型FETと、電流駆動能力が第1のP型FETよりも大きく、ドレインを第1のN型FETのドレインに接続し、ソースを電源ラインに接続した第2のP型FETと、液晶表示素子の共通電極が個別電極に対して正極性であるとき、第2のN型FETのゲートを前記差動入力段の出力に接続して第2のN型FETをONさせ、それ以外るとき第2のN型FETをOFFさせ、また共通電極が負極性であるとき、第2のP型FETのゲートを定電圧バイアスして第2のP型FETをONさせ、それ以外るとき第2のP型FETをOFFさせることにより、第2のN型FETと第2のP型FETを排他的にONさせる制御手段とを有し、第1および第2のN型FETおよびP型FETの4つのドレインの接続点から画素電圧を出力することを特徴とするものである。

【0018】また請求項2に記載のソースドライバの出力回路は、走査ライン反転駆動されるTFT-LCDの液晶表示素子の個別電極に画素電圧を書き込むソースドライバの出力回路において、表示階調電圧と基準電圧が入力され、これを差動出力する差動入力段と、ゲートを前記差動入力段の出力に接続し、ソースを電源ラインに接続した第1のP型FETと、ドレインを第1のP型FETのドレインに接続し、ソースを接地し、常時ONと

5

なるようにゲートを定電圧バイアスした第1のN型FETと、電流駆動能力が第1のP型FETよりも大きく、ドレインを第1のP型FETのドレインに接続し、ソースを電源ラインに接続した第2のP型FETと、電流駆動能力が第1のN型FETよりも大きく、ドレインを第1のP型FETのドレインに接続し、ソースを接地した第2のN型FETと、液晶表示素子の共通電極が個別電極に対して負極性であるとき、第2のP型FETのゲートを前記差動入力段の出力に接続して第2のP型FETをONさせ、それ以外のとき第2のP型FETをOFFさせ、また共通電極が正極性であるとき、第2のN型FETのゲートを定電圧バイアスして第2のN型FETをONさせ、それ以外のとき第2のN型FETをOFFさせることにより、第2のP型FETと第2のN型FETを排他的にONさせる制御手段とを有し、第1および第2のP型FETおよびN型FETの4つのドレインの接続点から画素電圧を出力することを特徴とするものである。

【0019】また請求項3に記載のソースドライバの出力回路は、請求項1または2に記載のソースドライバの出力回路において、液晶表示素子の共通電極が個別電極に対して負極性である期間の内、所定期間だけ第2のN型FETをONさせ、コモン電極が正極性である期間の内、所定期間だけ第2のP型FETをONさせる前記制御手段を有することを特徴とするものである。

【0020】上記請求項1または2に記載のソースドライバの出力回路は、液晶表示素子の共通電極が個別電極に対して正極性であるときは、制御手段によって第2のN型FETをONさせ、第1のN型FET、第1のP型FET、および第2のN型FETによって液晶表示素子を放電駆動して、差動入力段に入力された階調表示電圧に応じた画素電圧を個別電極に書き込み、また液晶表示素子の共通電極が個別電極に対して負極性であるときは、制御手段によって第2のP型FETをONさせ、第1のN型FET、第1のP型FET、および第2のP型FETによって液晶表示素子を充電駆動して、階調表示電圧に応じた画素電圧を個別電極に書き込む。

【0021】このとき、第1のN型FETおよびP型FETの電流駆動能力を小さく設定し、第2のN型FETおよびP型FETの電流駆動能力を大きく設定しておくことにより、液晶表示素子は主に第2のN型FETおよび第2のP型FETにより短時間で駆動される。また第2のN型FETと第2のP型FETは同時にONすることがないので、第2のP型FETから第2のN型FETへのパスで貫通電流が流れることはなく、また第1のP型FETまたは第1のN型FETを通して流れる貫通電流は小さい。

【0022】従って、液晶表示素子のコモン電極が画素電極に対して正極性であるときは、制御手段によって電流駆動能力の大きな第2のN型FETをONさせ、主に

(4)

特開平9-230829

6

第2のN型FETによって液晶表示素子を放電駆動し、コモン電極が負極性であるときは、制御手段によって電流駆動能力の大きな第2のP型FETをONさせ、主に第2のP型FETによって液晶表示素子を充電駆動することにより、高い電力利用効率で液晶表示素子を短時間に駆動することができる。

【0023】また上記請求項3に記載のソースドライバの出力回路は、制御手段によって、液晶表示素子のコモン電極が画素電極に対して負極性である期間の内、液晶表示素子を放電駆動する所定期間だけ第2のN型FETをONさせ、コモン電極が正極性である期間の内、液晶表示素子を充電駆動する所定期間だけ第2のP型FETをONさせることにより、さらに電力利用効率を向上させることができる。

【0024】

【発明の実施の形態】図1はTFT-LCDの回路構成図であり、TFT-LCDにおける一つの液晶画素の回路構成とソースドライバおよび走査回路への接続を示している。図1において、TFT-LCDの液晶画素101は、液晶表示素子102とスイッチング素子であるTFT103を有する。

【0025】液晶表示素子102は、TFT103のソース端子に接続される画素電極105と、この画素電極105に液晶104を介して対向するコモン電極106によって構成される。

【0026】TFT103のドレイン端子109は、ソース信号線108により本発明の実施の形態の出力回路を有するソースドライバ100の出力端子110に接続され、またTFT103のゲート端子107は、走査信号線111により走査回路112に接続されている。ソースドライバ100は、走査回路112によりTFT103がONしている間、液晶表示素子102を充放電駆動する。尚、Cscは共通電極106とソース信号線108間の寄生容量を示す。

【0027】TFT-LCDは、図1に示す液晶画素101をマトリクス状に多数配置したものであり、同一液晶画素ラインの全てのTFT103のゲート107は走査信号線111によって接続され、同一液晶画素列の全ての液晶表示素子102の画素電極105はそれぞれのTFT103を介してソース信号線108に接続される。

【0028】図2は本発明の実施の形態を示すソースドライバ出力回路の回路図である。このソースドライバ出力回路は、PMOSトランジスタ入力型の差動入力段と出力段と制御回路とバイアス回路を有する。尚、電源端子Vddは電源端子Vssよりも高電位であるものとし、Vssは通常は接地されている。

【0029】差動入力段は、ゲートをそれぞれ差動入力端子50、51とし、ソースを共通接続して差動対を構成するPMOSトランジスタP12およびP13と、P

(5)

特開平9-230829

7

12の能動負荷であり、ドレインおよびゲートをP12のドレインに接続し、ソースをV<sub>ss</sub>に接続したNMOSトランジスタN11と、P13の能動負荷であり、ドレインをP13のドレインに接続し、ゲートをN11のゲートに接続し、ソースをV<sub>ss</sub>に接続したNMOSトランジスタN12と、差動対P12、P13の電流源であり、ドレインをP12のドレインに接続し、ゲートを端子55に接続し、ソースをV<sub>dd</sub>に接続したPMOSトランジスタP11により構成される。この作動入力段の差動入力端子50および51には表示階調電圧および基準電圧が入力され、これらの差電圧に対応する電圧が端子54に出力される。

【0030】出力段は、ゲートを端子54に接続し、ソースをV<sub>ss</sub>に接続したNMOSトランジスタN13と、N13の能動負荷であり、ドレインをN13のドレインに接続し、ゲートを端子55に接続し、ソースをV<sub>dd</sub>に接続したPMOSトランジスタP14と、ドレインをN13のドレインに接続し、ソースをV<sub>ss</sub>に接続したNMOSトランジスタN14と、N14の能動負荷であり、ドレインをN13のドレインに接続し、ソースをV<sub>dd</sub>に接続したPMOSトランジスタP16により構成され、N13、P14、N14、P16の4つのドレインの接続点を出力端子110出力端子110とする。

【0031】上記の出力段においては、N13、P14のトランジスタ定数を電流駆動能力が小さくなるように（小電流動作となるように）設定し、N14のトランジスタ定数をN13より電流駆動能力が大きくなるように（大電流動作となるように）設定し、またP16のトランジスタ定数をP14より電流駆動能力が大きくなるように設定する。尚、N13は第1のN型FETに、P14は第1のP型FETにそれぞれ該当し、またN14は第2のN型FETに、P16は第2のP型FETにそれぞれ該当する。

【0032】制御回路は、P16を通常OFFとするためにP16のゲートとV<sub>dd</sub>の間に挿入された抵抗器R1と、N14を通常OFFとするためにN14のゲート端子とV<sub>ss</sub>の間に挿入された抵抗器R2と、P16のゲートと端子54の間に挿入され、この接続を制御端子52に入力される制御信号に従ってON/OFFするアナログスイッチSW1と、N14のゲートと端子54の間に挿入され、この接続を制御端子53に入力される制御信号に従ってON/OFFするアナログスイッチSW2により構成される。

【0033】上記のアナログスイッチSW1とSW2は、制御信号が'H'レベルのときONし、'L'のときOFFするものであり、制御端子52、53にはSW1とSW2が同時にONしないような制御信号が入力される。尚、この制御回路は制御手段に該当する。

【0034】バイアス回路は、定電流源I13と、ドレ

8

インをI13に接続し、ゲートを端子54に接続し、ソースをV<sub>dd</sub>に接続したPMOSトランジスタP15により構成され、P15と差動入力段のP11、およびP15と出力段のP14はそれぞれカレントミラー回路を構成し、またアナログスイッチSW1がONしているときは、P15とP16もカレントミラー回路を構成する。尚、C51は周波数補償用（発振防止用）の容量である。

【0035】次に、TFT-LCDの駆動動作について説明する。TFT-LCDにおいてマトリクス配置された多数のTFT103は、走査回路111により線順次走査駆動され、各液晶画素ラインごとに順次ONするが、ソースドライバ100は、これに同期して、表示階調電圧に応じた画素電圧V<sub>p</sub>（V<sub>ss</sub>を基準とした値）を出力し、TFT103を介して該当する液晶表示素子102を充放電駆動し、その画素電極105に画素電圧V<sub>p</sub>を書き込む（画素電極105の電位をV<sub>p</sub>にする）。

【0036】液晶表示素子102の光透過率は、液晶画素電極105に書き込まれる画素電圧V<sub>p</sub>とコモン電極106に印加される共通電極電圧V<sub>c</sub>（以下、コモン電圧と言う）との差電圧の絶対値である電極間電圧V<sub>pc</sub>（=|V<sub>p</sub>-V<sub>c</sub>|）の値に応じて制御することができる。従って電極間電圧V<sub>pc</sub>を変化させることにより、液晶ディスプレイに階調表示をする（電圧変調駆動あるいは振幅変調駆動と言う）。

【0037】またTFT-LCDは、液晶表示素子102の信頼性確保とソースドライバ100の消費電力低減を目的として走査ライン反転駆動されるので、上記線順次走査周期に同期して、コモン電極106はソースドライバ100の電源V<sub>dd</sub>とV<sub>ss</sub>に交互に接続され、コモン電圧V<sub>c</sub>は走査ラインごとにV<sub>dd</sub>またはV<sub>ss</sub>に切り替わる。

【0038】図3は図2に示すソースドライバ出力回路を用いたTFT-LCDの駆動タイミングチャートである。

【0039】図3には、水平同期信号SHの波形と、走査ライン番号SL-No.と、コモン電極106に印加されるコモン電圧V<sub>c</sub>の波形と、図2のソースドライバ出力回路により走査ラインの画素電極105に書き込まれる画素電圧V<sub>p</sub>の波形を示してある。また図3には、図2のソースドライバ出力回路におけるアナログスイッチSW1およびSW2のON/OFF状態と、NMOSトランジスタN14およびPMOSトランジスタP16のON/OFF状態を示してある。

【0040】走査回路111は、水平同期信号SHの1水平走査時間（以下、1Hと表記する）ごとに、液晶画素ラインを順次走査し、走査ラインの各TFT103をONさせ、これに同期してソースドライバ100はそのラインの各液晶表示素子102を駆動する。すなわち、

9

ある1Hで第nラインを走査すると、次の1Hで第n+1ラインを走査し、その次の1Hで第n+2ラインを走査する。

【0041】また走査ライン反転駆動により、走査ラインごとにコモン電極106と画素電極105の極性が反転し、コモン電圧VcはVddまたはVssに切り替わる。すなわち第nラインの走査時はVdd、第n+1ライン走査時はVss、第n+2ライン走査時はVddとなる。

【0042】次に図3に示す画素電圧Vpおよび図2のソースドライバ出力回路の動作について説明する。

【0043】図2において、アナログスイッチSW2の制御端子52には、図3に示すコモン電圧Vcを入力し、アナログスイッチSW1の制御端子53には、コモン電圧Vcの反転信号を入力する。

【0044】差動入力端子50と51には、表示階調電圧と基準電圧が印加され、この差電圧に応じた電圧(差動出力電圧)が端子54に出力される。この差動出力電圧はNMOSトランジスタN13のゲートに印加され

(SW2がONのときはNMOSトランジスタN14のゲートにも印加される)、出力端子110には所定の画素電圧Vpが出力される。この画素電圧Vpは走査ライン(すなわちTFT103がONしているライン)の画素電極105に書き込まれる。

【0045】ここで、コモン電圧Vcの立ち上がり時もしくは立下がり時には、コモン電極106とソース信号線108の間の寄生容量Cscにより、ソース信号線108、すなわちソースドライバ100の出力端子110にコモン電圧Vcと同一極性の寄生電圧が発生する。これにより、図3の第nライン等においては、出力端子110にはほぼVddに等しい寄生電圧が発生し(Aで示した部分)、また第n+1ライン等においては、出力端子110にはほぼVssに等しい寄生電圧が発生する(Bで示した部分)。

【0046】コモン電圧VcがVddとなる第nライン等においては、SW1はOFFし、SW2はONするので、N14はゲートが端子54に接続されてONし、P16はOFFする。またコモン電圧VssがVssとなる第n+1ライン等においては、SW1はONし、SW2はOFFするので、P16はゲートが端子55に接続されてONし、N14はOFFする。

【0047】従って、コモン電圧VcがVddとなるラインの駆動の際は、N13およびN14によって出力端子110から電流を引き込むことにより、画素電極105が負極性となるように液晶表示素子102を放電させ(負極性に充電すると言ってもよい)、画素電極105に所定の画素電圧Vpを書き込む(図3にCで示した部分)。またコモン電圧VcがVssとなるラインの駆動の際は、P14およびP16によって出力端子110から電流を供給することにより、画素電極105が正極性

(6)

特開平9-230829

10

となるように液晶表示素子102を充電し、画素電極105に所定の画素電圧Vpを書き込む(図3にDで示した部分)。尚、図3の画素電圧Vpの波形における

(-)および(+)は、コモン電極106に対する画素電極105の極性を示している。

【0048】このとき、N14およびP16の電流駆動能力は、それぞれN13およびP14の電流駆動能力よりも大きいので、液晶表示素子102は主にN14およびP16により短時間で駆動される。またN14とP16は同時にONしないので、P16からN14へのパスで貫通電流が流れることはなく、N13およびP14は小電流動作となるようトランジスタ定数を設定してあるので、P14またはN13を流れる貫通電流は小さい。

【0049】このように上記実施の形態によれば、液晶表示素子102のコモン電極106が画素電極105に対して正極性であるときは、アナログスイッチSW2がONすることによって電流駆動能力の大きなNMOSトランジスタN14をONさせ、主にN14によって液晶表示素子102を放電駆動し、またコモン電極106が負極性であるときは、アナログスイッチSW1がONすることによって電流駆動能力の大きなPMOSトランジスタP16をONさせ、主にP16によって液晶表示素子102を充電駆動することにより、高い電力利用効率で液晶表示素子102を短時間に駆動することができる。

【0050】尚、上記実施の形態のソースドライバ出力回路として、図2において、NMOSトランジスタをこれと相補的な特性を有するPMOSトランジスタに替え、PMOSトランジスタをこれと相補的な特性を有するPMOSトランジスタに替え、電源VddとVssを入れ替えた出力回路を用いてもよい。

【0051】また制御回路に入力する制御信号として、液晶表示素子のコモン電極が画素電極に対して負極性である期間の内、液晶表示素子を放電駆動する所定期間だけ図2のN14をONさせ、コモン電極が正極性である期間の内、液晶表示素子を充電駆動する所定期間だけP16をONさせるような信号を用いてもよい。

【0052】また制御回路は、制御信号に従って、N14のゲートを端子54に接続してN14をONさせ、かつOFFでき、P16のゲートを端子55に接続してP16をONさせ、かつOFFできるものであればよく、アナログスイッチと抵抗器の組み合わせに限定されるものではない。

【0053】

【発明の効果】以上のように本発明によれば、液晶表示素子のコモン電極が画素電極に対して正極性であるときは、制御手段によって電流駆動能力の大きな第2のN型FETをONさせ、主に第2のN型FETによって液晶表示素子を放電駆動し、コモン電極が負極性であるとき

(7)

11

は、制御手段によって電流駆動能力の大きな第2のP型FETをONさせ、主に第2のP型FETによって液晶表示素子を充電駆動することにより、高い電力利用効率で液晶表示素子を短時間に駆動することができるので、多段階で高品質の表示を実現でき、大画面、大容量のTFT-LCDに適用することが可能となるという効果を有する。

【図面の簡単な説明】

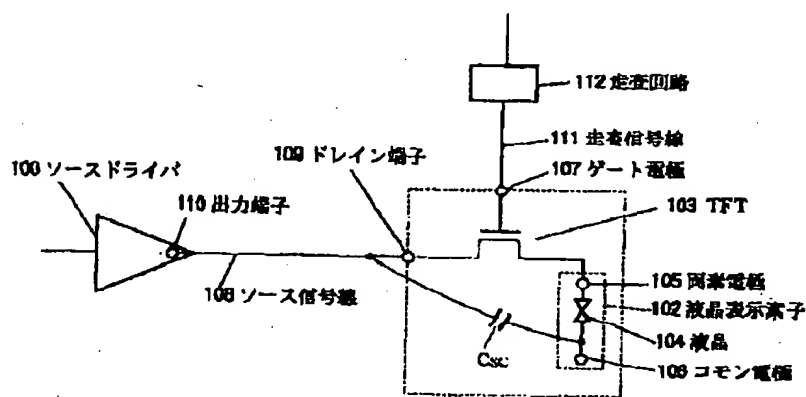
【図1】 TFT-LCDの回路構成図である。

【図2】 本発明の実施の形態のソースドライバ出力回路の回路図である。

【図3】 本発明の実施の形態におけるTFT-LCDの駆動タイミングチャートである。

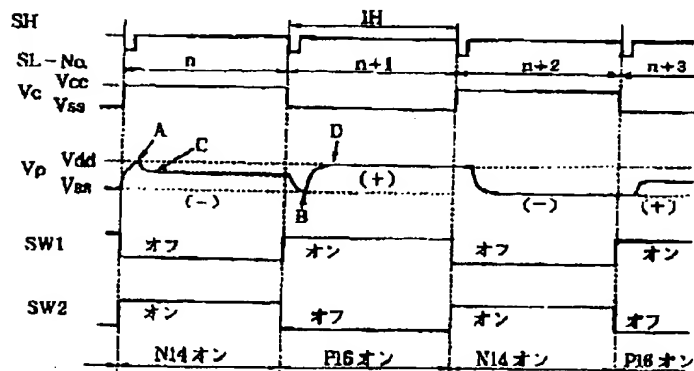
【図4】 従来のソースドライバ出力回路の一例を示す回路図である。

【図1】



アクティブマトリクス液晶ディスプレイの回路構成図

【図3】



本発明による液晶駆動タイミングチャート

12

特開平9-230829

【図5】 従来のソースドライバ出力回路の電流特性図の一例である。

【符号の説明】

N11~N14 NMOSトランジスタ

P11~P16 PMOSトランジスタ

SW1, SW2 アナログスイッチ

R1, R2 抵抗器

I13 定電流源

C51 周波数補償用コンデンサ

Vdd 電源

Vss 電源（またはアース）

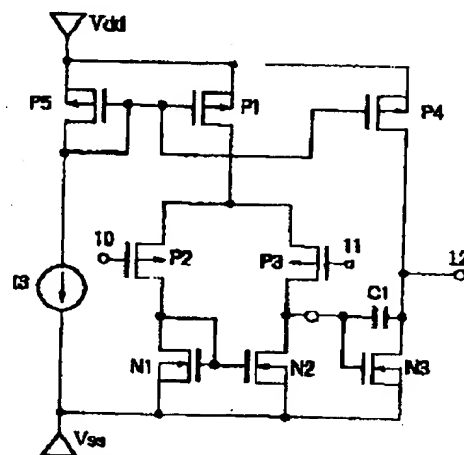
50, 51 差動入力端子

52, 53 制御端子

54, 56 内部端子

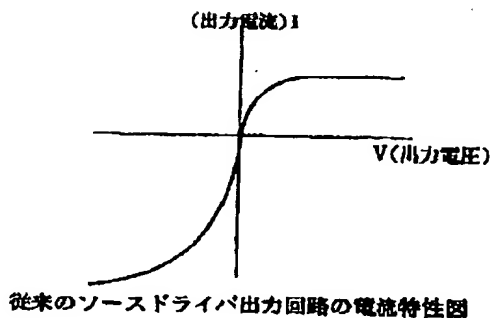
110 出力端子

【図4】



従来のソースドライバ出力回路

【図5】



従来のソースドライバ出力回路の電流特性図

特開平 9 - 2 3 0 8 2 9

[illegible]

### 本発明によるソースドライバ出力回路